

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-188312

(43)Date of publication of application : 04.07.2000

(51)Int.Cl.

H01L 21/66

(21)Application number : 10-366268

(71)Applicant : SONY CORP

(22)Date of filing : 24.12.1998

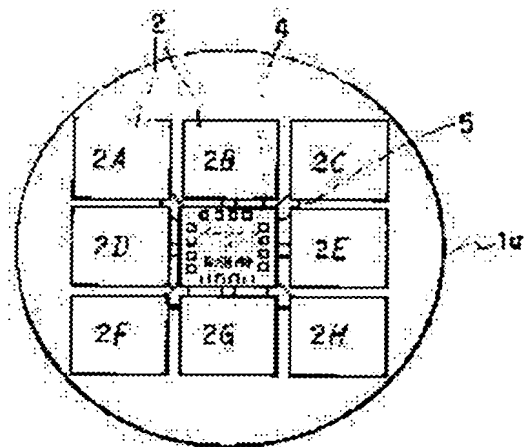
(72)Inventor : SHINBEI YUTAKA

## (54) SEMICONDUCTOR WAFER AND ITS BURN-IN METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To perform normal chip area tests on all normal chip areas in a semiconductor wafer by driving all normal chips for burn-in in all chip areas for driving by enabling each chip area for driving to drive a plurality of normal chip areas for burn-in.

**SOLUTION:** Normal chip areas 2A-2H are respectively positioned on the top side, bottom side, left side, right side, and obliquely to the upside and downside of their chip area 4 for driving in a surrounding state. The chip area 4 is electrically connected to the surrounding chip areas 2A-2H and, when the pads in the chip area 4 are probed, the chip areas 2A-2H are connected to a burn-in test circuit, and a power supply voltage and input signals are impressed upon the areas 2A-2H. Then, output signals can be fetched from the areas 2A-2H. Chip areas 5 for driving and wiring groups which connect the chip areas 2A-2H to each other cross scribing areas and are cut by dicing.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-188312

(P2000-188312A)

(43) 公開日 平成12年7月4日(2000.7.4)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/66

識別記号

F I

H 0 1 L 21/66

テームコード(参考)

H 4 M 1 0 6

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平10-366268

(22) 出願日 平成10年12月24日(1998.12.24)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 真米 豊

長崎県諫早市津久葉町1883番43 ソニー長崎株式会社内

(74) 代理人 100082979

弁理士 尾川 秀昭

Fターム(参考) 4M106 AA01 AA08 AA20 AC02 AC13

AC20 AD23 BA01 CA27 CA31

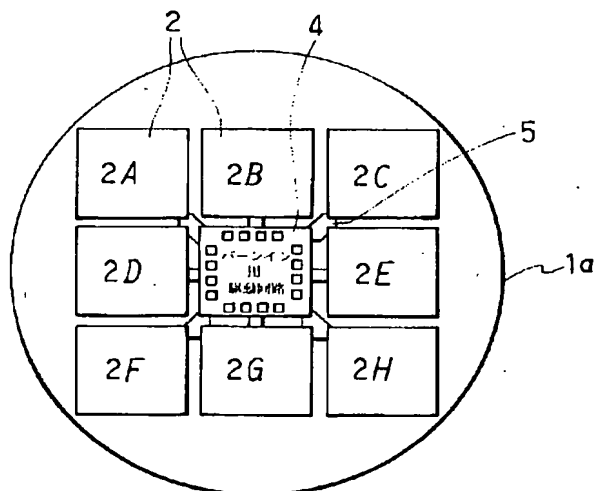
CA56

(54) 【発明の名称】 半導体ウェハとそのバーンイン方法

(57) 【要約】

【課題】 プローブを立てる数を少なくしつつ半導体ウェハの全チップ領域に対して正確にバーンイン試験を為し得るようにし、高温下でのウェハバーンインも比較的容易に且つ高い信頼度で為し得るようにする。

【解決手段】 一つの半導体ウェハに、複数の通常チップ領域と、バーンイン用駆動回路を内蔵した一又は複数の駆動用チップ領域を設け、該駆動用チップ領域が複数の通常チップ領域をバーンイン用駆動を為し得るようにして全駆動用チップ領域で全通常チップ領域をバーンイン用駆動し得るようにする。



## 【特許請求の範囲】

【請求項 1】 複数の通常チップ領域と、バーンイン用駆動回路を内蔵した一又は複数の駆動用チップ領域を備え、

上記一つの駆動用チップ領域が複数の通常チップ領域をバーンイン用駆動を為し得るようにされて全駆動用チップ領域で全通常チップ領域をバーンイン用駆動し得るようにされたことを特徴とする半導体ウェハ。

【請求項 2】 一つの半導体ウェハに、複数の通常チップ領域とバーンイン用駆動回路を内蔵した一又は複数の駆動用チップ領域を、一つの駆動用チップ領域が複数の通常チップ領域をバーンイン用駆動を為し、全駆動用チップ領域で全通常チップ領域をバーンイン用駆動し得るように、形成し、

バーンイン時に、上記駆動用チップ領域にプローブを当てて上記全通常チップ領域のバーンイン試験を行うことを特徴とする半導体ウェハのバーンイン方法

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体ウェハと、それに対するバーンイン方法に関する。

## 【0002】

【従来の技術】ウェハバーンインは、一般に、例えば図 3 に示すような半導体ウェハ 1 の各チップ領域（ダイシングにより半導体チップとなる領域）2A～2I に定格もしくはそれを越える電源電圧を印加し、入力回路には実動作乃至それに近い信号を印加しながらその出力を検出して異常の有無を判定するものであり、それも通常の条件ではなく、例えば高温の過酷な条件下で行うことが多い。

【0003】そして、バーンインはウェハ状態で行うので、電源電圧や入力信号の印加や、出力信号の取り出しは各通常チップ領域の多くのパッド 3、3、・・・の全てにプローブを立てて行う。このプローブをパッドに立ててその間に電気的接続状態を形成することをプロービングといい、それにはプローバと称される装置が使用される。このプロービングにおいて重要なことはプローブをそれに対応するパッドに正確に当て、その間に良好な接触を取ることである。

## 【0004】

【発明が解決しようとする課題】ところで、半導体チップの高集積化に伴い、半導体ウェハ 1 内のすべてのチップ領域 2、2、・・・の多くのパッド 3、3、・・・の全てにプローブを立てるのは難しくなりつつある。特に、FF を過酷な高温化で行う場合は、プローブ針やそれが多数も受けられたプローバ側と、ウェハ 1 側との熱膨張係数の違いによるプロービングの位置ずれが生じるおそれがある。そのため、バーンイン試験の信頼性を高く維持することが難しくなりつつあった。

【0005】本発明はこのような問題点を解決すべく為

されたものであり、プローブを立てる数を少なくしつつ半導体ウェハの全チップ領域に対して正確にバーンイン試験を為し得るようにし、高温下でのウェハバーンインも比較的容易に且つ高い信頼度で為し得るようにすることを目的とする。

## 【0006】

【課題を解決するための手段】請求項 1 の半導体ウェハは、複数の通常チップ領域と、バーンイン用駆動回路を内蔵した一又は複数の駆動用チップ領域を備え、該駆動用チップ領域が複数の通常チップ領域をバーンイン用駆動を為し得るようにされて全駆動用チップ領域で全通常チップ領域をバーンイン用駆動し得るようにされてなる。

【0007】従って、請求項 1 の半導体ウェハによれば、半導体ウェハ内の一部のチップ領域であるに過ぎない駆動用チップ領域に対してプロービングすることにより半導体ウェハ内の全通常チップ領域に対しての通常チップ領域試験を行うことができる。

【0008】依って、プローブを立てる数を少なくしつつ半導体ウェハの全チップ領域に対して正確にバーンイン試験を行うことができ、試験の信頼度を高めることができる。

【0009】また、プローブを立てるチップ領域が一つの半導体ウェハに対して 1 個又は複数のチップ領域の集まりに対して 1 個であり、高温下でバーンインしたとき熱膨張により生じる半導体ウェハとプローブ間における熱膨張による位置ずれは小さくて済む。というのは、半導体ウェハの略端と端との間で生じる熱膨張量は大きいですが、それに比較して 1 チップ領域内で生じる熱膨張は小さくて済むからである。従って、プローブを立てる一つの駆動用チップ領域に対するプローブ針間の位置関係を正確に調整しておけば、高温下でバーンインして熱膨張係数の違いによる位置ずれが生じたとしても駆動用チップ領域の狭い範囲での位置ずれであり、大きくはならないので、各パッドとそれに対応する各プローブ針とを全て良好に接触させることは容易に為し得る。

【0010】請求項 2 の半導体ウェハのバーンイン方法は、一つの半導体ウェハに、複数の通常チップ領域と、バーンイン用駆動回路を内蔵した一又は複数の駆動用チップ領域を、一つの駆動用チップ領域が複数の通常チップ領域をバーンイン用駆動を為し、全駆動用チップ領域で全通常チップ領域をバーンイン用駆動し得るように形成することとし、バーンイン時に、上記駆動用チップ領域にプローブを当てて上記全通常チップ領域のバーンイン試験を行うものである。

【0011】請求項の 2 の半導体ウェハのバーンイン方法によれば、半導体ウェハ内の一部のチップ領域であるに過ぎない駆動用チップ領域に対してプロービングすることにより半導体ウェハ内の全通常チップ領域に対してのバーンイン試験を行うことができる。

【0012】 依って、プローブを立てる数を少なくしつつ半導体ウェハの全チップ領域に対して正確にバーンイン試験を為し得るので、高い信頼度で為し得ることができる。また、前述の通り、高温下でバーンインしても熱膨張によりプローブ針の半導体ウェハに対する位置関係がずれてプローブ針とパッドを接触させることができないというトラブルの生じるおそれをなくすることができる。

#### 【0013】

【発明の実施の形態】 本発明は、一つの半導体ウェハのバーンイン用駆動回路の数が1で、通常チップ領域が8個そのバーンイン用駆動回路を取り巻くように上下、左右、斜めに配置したという実施の形態があれば、この1個のバーンイン用駆動回路と、8個の通常チップ領域からなるブロックを、複数設けるという形態もある。前者の場合は当然にその1個のバーンイン用駆動回路に対してのみプロービングすればよいし、後者の場合、複数あるブロックに各々1個ずつあるバーンイン用駆動回路に対してのみプロービングすればよい。

#### 【0014】

【実施例】 以下、本発明を図示実施例に従って詳細に説明する。図1は本発明半導体ウェハの第1の実施例(1a)を示す平面図である。図面において、1aは半導体ウェハ、2A~2Hは通常チップ領域、3はチップ領域に形成されたパッド、4はバーンイン用駆動回路が形成された駆動用チップ領域で、半導体ウェハ1aの真ん中を占有し、通常チップ領域2A~2Hとはサイズ、縦横比が全く同じである。そして、通常チップ領域2A~2Hはその駆動用チップ領域4の上下、左右、斜めに位置してこれらを取り囲んでおり、駆動用チップ領域4とその周りの8個の通常チップ領域2A~2Hとは電氣的に接続され、駆動用チップ領域4のパッドに対してプロービングすると、その8個の通常チップ領域2A~2Hと図示しないバーンイン試験回路とが接続され、通常チップ領域2A~2Hに対して電源電圧及び入力信号を印加し、また、出力信号を取り出すことができるようになっており、5、5、・・・は駆動用チップ領域5・通常チップ領域2A~2H間を接続する配線群を示している。該配線群5、5、・・・はスクライブ領域をよぎっており、ダイシングにより切断されるが、その時点では既に役割を終えているので問題はない。

【0015】 このような半導体ウェハによれば、ウェハ1a内の全部のパッド3、3、・・・に対してプロービングする必要はなく、半導体ウェハ1a内の一つのチップ領域であるに過ぎないバーンイン用駆動回路を具備した駆動用チップ領域に対してプロービングすることにより半導体ウェハ内の全通常チップ領域に対してのバーンイン試験を行うことができる。

【0016】 従って、プローブを立てる数を少なくしつつ半導体ウェハの全チップ領域に対して正確にバーンイン

ン試験を為し得るようにし、高温のウェハバーンインも比較的容易に且つ高い信頼度で為し得るようにすることができる。

【0017】 また、前述の通り、プローブを立てるチップ領域が一つの半導体ウェハに対して1個あり、高温下でバーンインしたとき熱膨張により生じる半導体ウェハとプローブ間における熱膨張による位置ずれは問題となる大きさになるおそれはない。従って、各パッドとそれに対応する各プローブ針とを全て良好に接触させることは容易に為し得る。

【0018】 図2は本発明半導体ウェハの第2の実施例1bを示す平面図である。本実施例1bは1個のバーンイン用駆動回路と、8個の通常チップ領域(合計9個のチップ領域)からなるブロックを複数設けた点で第1の実施例とは異なるがそれ以外の点では共通している。本実施例によれば、複数あるブロック6に各々1個ずつあるバーンイン用駆動回路4に対してのみプロービングすればよい。第1の実施例によれば、一枚の半導体ウェハに通常チップ領域を8個しかとれないが、本実施例によれば、通常チップ領域をそのブロック数倍取ることができる。

#### 【0019】

【発明の効果】 請求項1の半導体ウェハによれば、半導体ウェハ内の一部のチップ領域であるに過ぎない駆動用チップ領域に対してプロービングすることにより半導体ウェハ内の全通常チップ領域に対しての通常チップ領域試験を行うことができる。

【0020】 従って、プローブを立てる数を少なくしつつ半導体ウェハの全チップ領域に対して正確にバーンイン試験を為し得るようにし、高温のウェハバーンインも比較的容易に且つ高い信頼度で為し得るようにすることができる。

【0021】 また、プローブを立てるチップ領域が一つの半導体ウェハに対して1個又は複数のチップ領域の集まりに対して1個であり、高温下でバーンインしたとき熱膨張により生じる半導体ウェハとプローブ間における熱膨張による位置ずれは各チップ領域の範囲内では極めて小さいので、高温下でバーンインして熱膨張係数の違いによる位置ずれが生じたとしても接触できないパッドとプローブ針の組み合わせが生じるというおそれがない。

【0022】 また、プローブ数を少なくすることができるので、プローブ用ボードの作成を安価にできる。

【0023】 請求項2の半導体ウェハのバーンイン方法によれば、半導体ウェハ内の一部のチップ領域であるに過ぎない駆動用チップ領域に対してプロービングすることにより半導体ウェハ内の全通常チップ領域に対してのバーンイン試験を行うことができる。

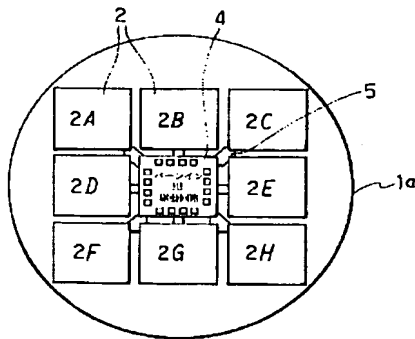
【0024】 依って、プローブを立てる数を少なくしつつ半導体ウェハの全チップ領域に対して正確にバーンイン

ン試験を為し得るので、バーンインの信頼度を高めることができる。また、前述の通り、高温下でバーンインしても熱膨張によりプローブ針の半導体ウェハに対する位置関係がずれてプローブ針とパッドを接触させることができないというトラブルの生じるおそれをなくすることができる。

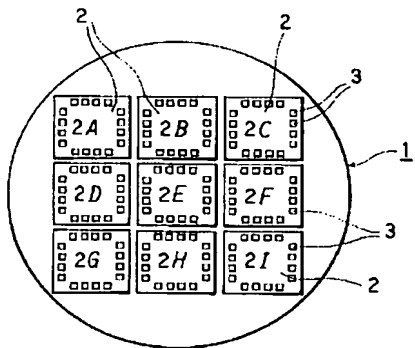
【図面の簡単な説明】

【図 1】本発明半導体ウェハの第 1 の実施例を示す平面

【図 1】



【図 3】



図である。

【図 2】本発明半導体ウェハの第 2 の実施例を示す平面図である。

【図 3】半導体ウェハの従来例を示す平面図である。

【符号の説明】

1 a、1 b・・・半導体ウェハ、2 (2 A～2 H)・・・通常チップ領域、3・・・パッド、4・・・駆動用チップ領域、6・・・ブロック。

【図 2】

